

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-325427

(43)Date of publication of application : 08.11.2002

(51)Int.Cl.

H02M 1/00
H01L 29/74
H01L 29/744
H01L 29/78

(21)Application number : 2001-128218

(71)Applicant : KANSAI ELECTRIC POWER CO INC:THE

(22)Date of filing : 25.04.2001

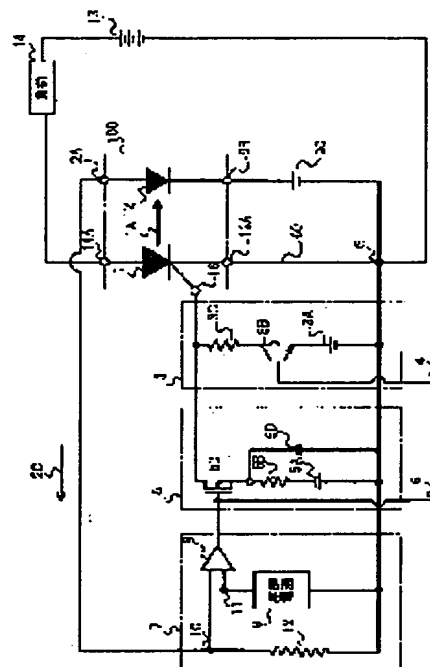
(72)Inventor : SUGAWARA YOSHITAKA

(54) POWER SEMICONDUCTOR DEVICE CIRCUIT AND INVERTER DEVICE USING THE SAME

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problems associated with a conventional power semiconductor device circuit in which a coil for detection or a resistor for detection is used to detect currents, gentle variation of direct currents cannot be detected, and large power is lost at the detection element, and further the detection speed is low.

SOLUTION: A device, using an illuminant wide-gap semiconductor material, is used for a power semiconductor device in a power semiconductor device circuit, and detection of energizing current is accomplished by detecting the light emitted from the power semiconductor device itself which uses a photoreceptor device. The detection signals from the photoreceptor device are applied to a gate drive circuit for the power semiconductor device to control currents in the power semiconductor device.



LEGAL STATUS

[Date of request for examination]

08.05.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of
rejection]

[Date of requesting appeal against examiner's decision of
rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-325427
(P2002-325427A)

(43) 公開日 平成14年11月8日 (2002.11.8)

(51) Int.Cl. ¹	識別記号	F I	ターム(参考)
H 0 2 M 1/00		H 0 2 M 1/00	H 5 F 0 0 5
H 0 1 L 29/74		H 0 1 L 29/78	6 5 2 T 5 H 7 4 0
29/744			6 5 5 Z
29/78	6 5 2		6 5 7 G
	6 5 5	29/74	C

審査請求 有 請求項の数17 O L (全 13 頁) 最終頁に続く

(21) 出願番号 特願2001-128218(P2001-128218)

(22) 出願日 平成13年4月25日 (2001.4.25)

(71) 出願人 000156938

関西電力株式会社

大阪府大阪市北区中之島3丁目3番22号

(72) 発明者 菅原 良孝

大阪市北区中之島3丁目3番22号 関西電力株式会社内

(74) 代理人 100062926

弁理士 東島 隆治

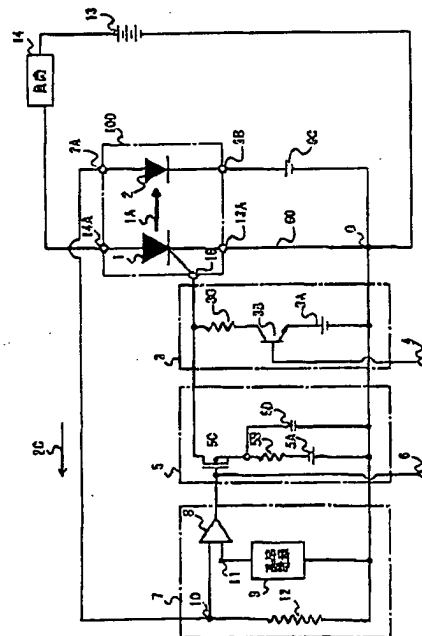
Fターム(参考) 5F005 AA03 AE01 AE09 AF02 FA03
5H740 AA08 BA01 BA11 BB01 MM11

(54) 【発明の名称】 パワー半導体素子回路及びこれを用いたインバータ装置

(57) 【要約】

【課題】 従来のパワー半導体素子回路では検出用コイルや検出用抵抗を用いて電流を検出していたので、緩やかに変化する直流電流を検出できず検出部での電力損失が大きかった。また検出速度も遅かった。

【解決手段】 パワー半導体素子回路のパワー半導体素子に、発光性ワイドギャップ半導体材料を用いた素子を用い、通電電流の検出をパワー半導体素子自体が発光する光を受光素子で検出で行う。受光素子の検出信号をパワー半導体素子のゲート駆動回路に印加してパワー半導体素子の電流を制御する。



【特許請求の範囲】

【請求項 1】 電源と負荷とを接続する回路に設けられて前記回路の電流を制御する、発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発する半導体制御素子、

前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有するパワー半導体素子回路。

【請求項 2】 電源と負荷とを接続する回路に設けられて前記回路の電流を制御する、発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発する、シリコン基板上に設けた半導体制御素子、前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有するパワー半導体素子回路。

【請求項 3】 電源と負荷とを接続する回路に設けられて前記回路の電流を制御する、ワイドギャップ半導体材料で形成された半導体層の少なくとも 1 つの層が再結合センターを有し通電電流に応じて変化する放射光を発する、半導体バイポーラ制御素子、前記半導体バイポーラ制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体バイポーラ制御素子の通電電流を制御するゲート駆動回路を有するパワー半導体素子回路。

【請求項 4】 前記再結合センターを、前記少なくとも 1 つの層の一部分に有することを特徴とする請求項 3 記載のパワー半導体素子回路。

【請求項 5】 前記電源が直流電源である請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 6】 前記受光素子が前記半導体制御素子のパッケージに内蔵されていることを特徴とする請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 7】 前記半導体制御素子の放射光を前記受光素子に伝送する光ファイバを更に備える請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 8】 前記ゲート駆動回路は、前記通電電流が所定値を超えたことを判定する判定制御回路を有し、前記判定制御回路の判定出力をゲートに印加して前記半導体制御素子を制御することを特徴とする請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 9】 前記半導体制御素子は、ワイドギャップ半導体材料の炭化珪素により形成されていることを特徴

とする請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 10】 前記半導体制御素子は、炭化珪素を半導体材料とする p 型層と n 型層を有し、前記 p 型層と n 型層の内の少なくとも 1 つの層が所定数のアルミニウム原子と窒素原子を含むことを特徴とする請求項 9 記載のパワー半導体素子回路。

【請求項 11】 前記半導体制御素子は、発光性ワイドギャップ半導体材料で形成された絶縁ゲートバイポーラトランジスタである請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 12】 前記半導体制御素子は、発光性ワイドギャップ半導体材料で形成されたゲートターンオフサイリスタである請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 13】 前記半導体制御素子は、アノードゲート構造のゲートターンオフサイリスタである請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 14】 前記半導体制御素子は、ワイドギャップ半導体材料の窒化ガリウムにより形成されていることを特徴とする請求項 1、2 又は 3 記載のパワー半導体素子回路。

【請求項 15】 前記半導体制御素子は、窒化ガリウムを半導体材料とする p 型層と n 型層を有し、前記 n 型層が所定数のシリコン原子による再結合センターを有する請求項 14 記載のパワー半導体素子回路。

【請求項 16】 前記再結合センターを、前記 n 型層の一部分に有することを特徴とする請求項 15 記載のパワー半導体素子回路。

【請求項 17】 直流電源の正及び負の端子間に接続された複数の、2 つの半導体制御素子が直列接続された直列接続体、

前記直列接続体の接続点に接続された負荷、前記半導体制御素子を制御する制御回路、及び前記半導体制御素子にそれぞれ逆並列に接続されたフライホイールダイオードを有するインバータ装置において、前記直列接続体の 2 つの半導体制御素子の少なくとも一方が発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発する半導体制御素子、前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有するパワー半導体素子回路であることを特徴とするインバータ装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、通電電流の変化を検知して通電電流を制御するパワー半導体素子回路及びこれを用いたインバータ装置に関する。

【0002】

【従来の技術】通電電流の変化を検知して通電電流を制御するパワー半導体素子回路においては、パワー半導体素子を流れる通電電流の増加又は減少等の変化を検出して検出信号を出力する検出回路を有する。この検出信号を用いて、通電電流の異常な増加又は減少を抑制したり、短絡などの異常時に負荷やパワー半導体素子回路自体を保護するために電流を遮断するなどの制御が行われている。上記の制御においては通電電流を高い感度で検出する必要がある。検出回路の2つの従来例を図9の

(a)及び(b)の回路図を参照して説明する。図9の(a)に示す第1の従来例では、太陽電池、燃料電池などの直流電源50に、制御素子としてのIGBT(Insulated gate bipolar transistor)51を経て負荷52が接続されている。IGBT51と電源50との間の電路59にCT等の検出用コイル53を設け、電路59を流れる電流の変化により検出用コイル53に誘起する電圧V1を検出信号として駆動回路55に入力する。駆動回路55は電圧V1に基づいてIGBT51を制御する。例えば負荷52で短絡事故が発生すると電路59を流れる電流が急増し、電流の急増により電圧V1も急増する。駆動回路55は電圧V1が所定値を超えると、IGBT51のゲート電圧を制御してIGBT51をオフにする。これにより、異常が発生したときの、電源50、IGBT51及び負荷52の損傷を防止する。

【0003】図9の(b)は第2の従来例の回路図を示す。図において、直流電源50に、制御素子としてのIGBT51及び抵抗54を介して負荷52が接続されている。負荷52を流れる電流は抵抗54で検出され、検出信号としての電圧V2が得られる。電圧V2は駆動回路55に入力され、前記第1の従来例と同様にIGBT51を制御する。

【0004】

【発明が解決しようとする課題】第1の従来例の検出用コイル53を用いた検出回路では以下の問題を有する。通電電流が大きいパワー半導体素子回路の場合、電路59の電線は太いものが必要である。例えば、500A級のポリエチレン絶縁ビニールシースケーブル(通称CVケーブル)の直径は約35mmである。また1500A級のCVケーブルの直径は約65mmである。これらのCVケーブルを絞り囲むように形成する検出用コイル53の直径は70mmから100mm程度の大型のものになり、重量も大きくなる。このような大型の検出用コイル53の検出応答時間は1~10マイクロ秒程度と比較的長く、IGBT51の電流の制御もこの分遅れる。この制御の遅れにより、短絡事故が発生したとき大電流が負荷52やIGBT51を流れ、これらに障害を与えるおそれがある。また電流変化の速度が遅い場合は検出用コイル53の検出出力のレベルが極めて低い。従って大きな電流変化があっても検出できないことがある。

【0005】第2の従来例の抵抗54を用いた検出回路では、通電電流の変化が緩やかな場合でも通電電流の変化を容易に検出できる。しかし通電電流が大きい場合、検出用の抵抗54で大きな電力損失が発生し発熱する。例えば、常時の通電電流が500Aのパワー半導体素子回路で、0.002オームの抵抗を用いた場合500Wの電力損失が生じる。例えば負荷52で短絡事故等が発生し通電電流が1000Aに増大すると、電力損失は2kWに及ぶ。このように、抵抗54での電力損失が大きい点が問題であった。検出応答時間は1ミリ秒から速いものでも1マイクロ秒と比較的長く、IGBT51の制御にこの分の遅れが生じる。従って、短絡事故が発生したとき大電流が流れ抵抗54の破損やIGBT51や負荷52の破損を招くおそれがある。更に、発熱による抵抗54の破損を防ぐためには、熱容量の大きい大型の抵抗素子を用いたり、水冷など冷却手段を有する抵抗素子を用いる必要があるため、大型で重いものになり価格も高価になるという問題があった。

【0006】本発明は、パワー半導体素子回路の通電電流を検出用コイルや検出用抵抗を用いずに検出する、小型、軽量、高速かつ低損失のパワー半導体素子回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明のパワー半導体素子回路は、電源と負荷とを接続する電路に設けられて前記電路の電流を制御する、発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発する半導体制御素子、前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有する。本発明によれば、半導体制御素子の通電電流に応じて変化する放射光を受光素子で検出し、受光素子の検出信号に基づいて半導体制御素子を制御するので、通電電流の変化と半導体制御素子の制御までの時間である制御の応答時間が短い。また光を用いて検出するので電気ノイズの影響を受けにくい。

【0008】本発明の他の観点のパワー半導体素子回路は、電源と負荷とを接続する電路に設けられて前記電路の電流を制御する、発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発する、シリコン基板上に設けた半導体制御素子、前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有する。

【0009】本発明の他の観点のパワー半導体素子回路は、電源と負荷とを接続する電路に設けられて前記電路

の電流を制御する、ワイドギャップ半導体材料で形成された半導体層の少なくとも1つの層が再結合センターを有し通電電流に応じて変化する放射光を発生する、半導体バイポーラ制御素子、前記半導体バイポーラ制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体バイポーラ制御素子の通電電流を制御するゲート駆動回路を有する。

【0010】本発明のインバータ装置は、直流電源の正及び負の両端子間に接続された、発光性ワイドギャップ半導体材料で形成され、通電電流に応じて変化する放射光を発生する半導体制御素子、前記半導体制御素子の放射光を検出し検出信号を出力する受光素子、及び前記受光素子の前記検出信号が入力され、前記検出信号に応じた制御信号を前記半導体制御素子のゲートに印加して前記半導体制御素子の通電電流を制御するゲート駆動回路を有するパワー半導体素子回路と半導体制御素子との複数の直列接続体、前記直列接続体の接続点に接続された負荷、前記半導体制御素子を制御する制御回路、及び前記

【0011】

【発明の実施の形態】本発明のパワー半導体素子回路の実施の形態を以下に説明する。パワー半導体素子回路に用いるパワー半導体素子に適した材料として、炭化珪素(SiC)、ガリウムナイトライド(GaN)、ダイヤモンドなどのワイドギャップ半導体材料が知られている。ワイドギャップ半導体材料は、シリコン(Si)の半導体材料に比べて絶縁破壊電界と熱伝導率が高く、高い温度でも動作するという優れた物理的特性を有している。このため、ワイドギャップ半導体材料で形成したワイドギャップ半導体素子は高耐電圧かつ低損失であり、半導体素子で発生する損失が少ない。また発生した熱を放散しやすく、かなり高い温度になるまで電流を増加させることができるので、大電流を制御するパワー半導体素子回路の半導体素子に適している。

【0012】ワイドギャップ半導体材料において、接合を形成しているn型層とp型層のいずれか一方にキャリアの再結合センター(電子と正孔とが再結合して消滅する過程を促進させる不純物原子や複数不純物原子の複合体が存在する場所)を形成することにより、接合を通過して電流を流すと光を発生する発光性ワイドギャップ半導体素子を得ることができる。ワイドギャップ半導体材料を用いて発光性ワイドギャップのバイポーラ半導体制御素子を構成し、素子の一部に光の放射部を設けると、そこから光を放射させることができる。この光を受光素子で検出し、得られた検出出力から、通電電流の値やその変化を検出することができる。放射する光の強さはバイポ

ーラ半導体制御素子を流れる電流にほぼ比例する。直線性のよい光電変換特性を有する受光素子を用いると、受光素子の検出出力は、バイポーラ半導体制御素子を流れる電流に比例する。従って、受光素子の検出出力でバイポーラ半導体制御素子の駆動回路を動作させるとバイポーラ半導体制御素子の通電電流を制御することができる。なお、再結合センターの数は多すぎると、必要とする放射光を確保する以上に電子や正孔を再結合させるために半導体素子のオン電圧が低くなり電力損失が大きくなってしまふ。このため、再結合センターを形成する不純物原子等のドーパ量を適正化したり、ドーパする領域を半導体層の一部に局在化させたりするのが望ましい。例えば光の放射部に対向する半導体層の領域等に限定することもその一方法である。

【0013】受光素子としては、Si半導体受光素子、ワイドギャップ半導体受光素子または光導電素子等を用いる。受光素子は、例えば一辺が数mm、厚さが1mm程度の略正方形の平板状であり、発光性ワイドギャップのバイポーラ半導体制御素子のパッケージ内に設ける。この構成により光バイポーラ半導体制御素子を作る。光バイポーラ半導体制御素子において、受光素子とバイポーラ半導体制御素子とは電気的に絶縁されており、受光素子の受光面をバイポーラ半導体制御素子の光放射部に対向させている。受光素子をバイポーラ半導体制御素子のパッケージ内に内蔵したことによるパッケージの容積の増加は、耐圧6kV級の素子で約3cm³程度であり、重量の増加も100グラム程度である。光バイポーラ半導体制御素子の総合伝達効率、バイポーラ半導体制御素子の発光効率、光が受光素子に集光される集光効率、及び受光素子に集光された光が電気に変換される光電変換効率の積で表され半導体材料により大きく変化するが、0.005~2%程度である。例えば0.1%にするとバイポーラ半導体制御素子に流れる電流が500Aのとき、受光素子に発生する光電流は0.5A程度である。短絡事故などにより電流が例えば1000Aに増加しても受光素子に発生する光電流は1A程度である。受光素子には通常20~30V以下の電圧を印加するので、受光素子で発生する電力損失は20~30W程度である。

【0014】受光素子の光電流はバイポーラ半導体制御素子を流れる電流に比例して増減するので、電流が緩やかに変化する場合でも検出できる。なお、本発明の他の好ましい実施形態としては、発光性ワイドギャップ半導体材料を用いたバイポーラ半導体制御素子の光を光ファイバーを介して受光素子で検出する方法がある。例えばバイポーラ半導体制御素子のパッケージに、光ファイバーを入射端がバイポーラ半導体制御素子の発光部に対向するように取り付ける。光ファイバーの出射端には受光素子を取り付ける。この構成では前記の効果に加えてバイポーラ半導体制御素子と受光素子間の絶縁耐圧を容易

に高くすることができる。

【0015】以下、本発明の好適な実施例について図1から図8を参照して説明する。

《第1実施例》本発明の第1実施例のパワー半導体素子回路を図1から図4を参照して説明する。図1は本実施例のパワー半導体素子回路の回路図である。図において、太陽電池、燃料電池等の直流電源13に、パワー半導体素子回路の半導体制御素子としてのゲートターンオフサイリスタ(GTO)1を経て負荷14が接続されている。直流電源13は、交流電源の交流を整流装置により整流し平滑して得られる直流の電源であってもよい。GTO1は発光性ワイドギャップ半導体材料のSiCを用いて製作した発光性ワイドギャップのバイポーラ半導体制御素子であり、GTO1を流れる電流にほぼ比例する強さの光を放射する。矢印1Aで示す放射光は、図2を用いて後で詳細に説明する。GTO1のパッケージ内に設けられた受光素子2により受光される。受光素子2のカソード9Bは電源9cを介して電源13の負極Gに接続され、アノード2Aは判定制御回路7の入力端10に接続されている。GTO1のゲート16にターンオン回路3及びターンオフ回路5が接続されている。ターンオン回路3は、GTO1のゲートと負極Gとの間に直列に接続された電源3Aとトランジスタ3Bと抵抗3Cを有する。トランジスタ3Bのゲート端子4にGTO1をオンにするための正のパルス信号が印加される。オフ回路5は、電源13の負極Gに正極が接続された直流電源5A、直流電源5Aの負極とGTO1のゲートとの間に直列に接続された抵抗5BとFET5Cを有する。FET5Cのソースと負極G間にはコンデンサ5Dが接続されている。FET5Cのゲート6にGTO1をオフにするための正のパルス信号が印加される。判定制御回路7は、出力端が前記ゲート6に接続されたコンパレータ8を有する。コンパレータ8の一方の入力端子11は基準電圧を発生する基準電源9に接続され、他方の入力端子10は受光素子2のアノード2Aに接続されている。入力端子10と負極G間に抵抗12が接続されている。

【0016】次に本実施例のパワー半導体素子回路の動作を説明する。GTO1は、例えば耐電圧6kV、電流容量200AのSiC-GTOサイリスタであり、受光素子2はシリコンホトダイオードを用いている。GTO1をオンにするときは、ターンオン回路3の入力端子4に正のパルス信号を与える。これによりトランジスタ3Bをオンにすると、GTO1はオンになり所定の電流(例えば100A)が電源13から負荷14に流れる。オン状態のGTO1をオフにするときは、ターンオフ回路5の入力端子6に正のパルス信号を与えてFET5Cをオンにする。これによりGTO1のゲート16から直流電源5Aに電流がバイパスされて、GTO1の通電電流が遮断され負荷14の運転が停止する。通電中のGTO1の放射光は受光素子2で検出され、発生した光電流

2Cが判定制御回路7の入力端子10から抵抗12を経て負極Gに流れる。入力端子10に生じた電圧はコンパレータ8で基準電源9の電圧と比較される。負荷14に短絡などの異常が発生したときは、GTO1に正常時を上回る大きな電流が流れ放射光の強度が増加する。その結果、受光素子2の光電流が増加してコンパレータ8の検出端子10の電圧も増加する。検出端子10の電圧がコンパレータ8の入力端子11の基準電圧よりも高くなるとコンパレータ8の出力がハイレベルとなり、ターンオフ回路5のFET5CがオンになってGTO1をオフにする。例えば150A程度の電流が流れた場合コンパレータ8の入力端子10の電圧が入力端子11の基準電圧を上回るように設定すると、150Aを超える電流が流れるとGTO1はオフとなり、電源13と負荷14の間を遮断する。これにより負荷14が破損したり、パワー半導体素子回路が破損するのを防止できる。

【0017】なおGTO1のカソード13Aとアノード14A間に既知のスナバ回路を接続するのが望ましい。スナバ回路は、抵抗、コンデンサ、ダイオードなどを組み合わせたものが望ましい。図2は、GTO1と受光素子2を1つのパッケージに収納した耐電圧6kV、電流容量200Aの光GTO素子100の断面図である。図において、アノード電極14Aに接続されている金属ベース3の中央部にGTO1が固定されている。GTO1の表面には、GTO1を電流が流れるとき光を放射する光放射窓19が設けられている。金属ベース3には、金属製のキャップ4が固定されている。キャップ4の内面には絶縁板2Dを介してホトダイオード2が、受光部2BをGTO1の光放射窓19に向けて取り付けられている。金属ベース3は2つの孔17、18を有している。孔17からカソード電極13Aが導出され、孔18からゲート電極16が導出されている。キャップ4は2つの孔10、11を有している。孔10から受光素子2のアノード電極2Aが導出され、孔11からカソード電極9Bが導出されている。孔10、11、17、18はいずれも既知の気密封止材で気密に封止されている。光GTO素子100、ターンオン回路3、ターンオフ回路5及び判定制御回路7でパワー半導体素子回路を構成している。

【0018】光GTO素子100のパッケージ内において、GTO1のカソード20は、カソード電極13Aに2本の導線14B、14Cで接続されている。GTO1のゲート16Aは導線15でゲート電極16に接続されている。導線14B、14C、15の数は電流量に応じて増減すればよい。受光素子2のアノード7Aは導線6でアノード電極2Aに接続され、カソード9Aは導線28でカソード電極9Bに接続されている。GTO1と受光素子2は電気的に絶縁されている。GTO1の光放射窓19と受光素子2の受光部2Bとの間の距離は約1cmである。受光素子2のシリコンホトダイオードは、1

辺が3mmの略正方形であり厚さは約0.5mmである。アノード電極14A、ゲート電極16及びカソード電極13Aはともに長さが約3cmである。前記のように、シリコンホトダイオードが小型であるので光GTO100の大きさは小さい。この光GTO100を、耐電圧6kV電流容量200AのSiC-GTOサイリスタと比較すると、光GTO100では重量が約100グラム増加し、容積が数パーセント増加した。図2に示すように、光GTO1では、アノード20の導線を取付けるためのパッドの一部を除去して光放射窓19を設けているので、発光効率は比較的低い。また光放射窓19と受光素子2の受光部2Bとの間を約1cm離して集光効率を低くしている。従って異常時に通電電流が200Aから瞬間的に1000Aに増加したときでも、受光素子2の光電流は120mA程度である。受光素子2の印加電圧が例えば10Vのとき電力損失は約1.2Wであり極めて低い値である。

【0019】負荷14における短絡事故等により電流が急増してから、受光素子2が電流の急増を検出するまでの検出応答時間は0.1マイクロ秒以下である。受光素子2の検出から判定制御回路7及び駆動回路23の動作によりGTO1がオフになるまでの時間は2〜3マイクロ秒であり極めて短時間である。発明者は、GTO1の通電電流が200Aを超えたときGTO1がオフとなるように、判定制御回路7の基準電圧9の電圧を設定して負荷14で短絡を発生させる実験を行った。その結果、短絡が発生して電流が約40%増加して約280Aになった時点で制御が働きGTO1はオフとなった。この実験結果から短絡電流を大幅に抑制することができることが判った。短絡電流が大きくならないのでパワー半導体素子回路の各構成部品は電力容量の小さいものでよく、パワー半導体素子回路の小型化、軽量化、低損失化が実現できる。このように本実施例によればパワー半導体素子回路の小型化、軽量化に加えて高速・低損失化も実現できる。

【0020】発光性のワイドギャップバイポーラ半導体制御素子について以下に詳細に説明する。従来のGTOなどのバイポーラ半導体制御素子では、オン電圧を低くして低損失にするために、接合を形成しているp型又はn型の半導体層内においてキャリアの再結合が出来るだけ生じないように構成している。すなわち各半導体層に再結合センターを出来るだけ含まないようにしている。これに対して、本発明の発光性ワイドギャップバイポーラ半導体制御素子では、前記従来のバイポーラ半導体制御素子とは逆に、バイポーラ半導体制御素子を形成する複数の半導体層の内の少なくとも一層にある程度の再結合センターが存在するように構成している。再結合センターは、少なくとも1つのSiC半導体層にアルミニウムと窒素の原子をドーブすることにより得られる。このようにすると、アルミニウム原子が作る不純物レベルに

捕獲された正孔と、窒素原子が作る不純物レベルに捕獲された電子が再結合することにより光が発生する。半導体層に多数のアルミニウム原子と窒素原子をドーブして多数の再結合センターを形成すると放射光の強さは大きくなる。しかし、再結合により、電子や正孔の流れが阻害されるのでバイポーラ制御素子のオン抵抗が高くなり従ってオン電圧も高くなる。その結果バイポーラ制御素子の電力損失が大きくなる。そこで、放射光の強さとオン抵抗の大きさを、実用性を考慮しつつ望ましい値に設定する必要がある。本実施例の発光性ワイドギャップバイポーラ半導体材料すなわちSiCでは、アルミニウム原子及び窒素原子の数をそれぞれ $1 \times 10^{16} \sim 1 \times 10^{19} \text{ atom/cm}^3$ の範囲にするのが望ましい。SiCの場合は、アルミニウムはp型不純物として働き、窒素はn型不純物として働く。そこで、再結合センターを有する半導体層がp型の場合は、アルミニウムを窒素より多くドーブする必要がある。例えばアルミニウムを $1 \times 10^{21} \text{ atom/cm}^3$ 程度まで増加させてもよい。また再結合センターを有する半導体層がn型の場合は、窒素をアルミニウムより多くドーブする必要がある。例えば窒素を $1 \times 10^{21} \text{ atom/cm}^3$ 程度まで増加させてもよい。

【0021】本実施例に用いている発光性のワイドギャップGTO1の詳細な構造を図3及び図4を参照して説明する。図3はGTO1の平面図であり、図4は、図3の一部のIV-IV断面図である。図2のGTO1は、図3のII-II断面図を示している。

【0022】図3及び図4において、GTO1は、図4の断面図に示すように、カソード電極31に厚さ約100 μm のp型層32を形成し、その上に厚さ約70 μm のn型層33を形成している。n型層33の上に再結合センターを有する厚さ約3 μm のp型層34を形成する。p型層34の図において両端部にゲート電極16Aを形成する。p型層34の図において中央部に厚さ約2 μm のn型層35を形成し、n型層35にアノード電極20を形成する。p型層34には、アルミニウム原子を $3.5 \times 10^{17} \text{ atom/cm}^3$ 及び窒素原子を $8 \times 10^{16} \text{ atom/cm}^3$ の濃度でドーブしている。これにより例えば100A/cm²の電流密度で通電したとき、オン電圧は5.2Vと比較的低い値であった。またこの通電状態での放射光の強さは約16ミリワット(mW)であり、放射光の波長は約470ナノメートル(nm)であった。図2及び図3に示すように、GTO1の外周領域には電界を緩和するための既知のターミネーション領域37が形成されている。光放射窓の周囲はカソード電極20で取り囲まれており、光放射窓に対向するカソード電極のないp型層を電流が十分流れるようにしている。なお、p型層34の光放射窓にほぼ対向する部分以外はアルミニウムのみドーブし窒素をドーブしないようにした場合も実験したがオン電圧を低減する上

で効果があった。

【0023】《第2実施例》図5は、本発明の第2実施例のパワー半導体素子回路の回路図である。図において、直流電源13に光IGBT101を経て負荷14が接続されている。光IGBT101は、発光性ワイドギャップ半導体材料を用いて作ったバイポーラ半導体制御素子としてのpチャネルSiC絶縁ゲートバイポーラトランジスタ(IGBT)21と、受光素子22としてのシリコンホトダイオードが1つのパッケージ(図示省略)内に収納されている。パッケージ内の構成は図2に示す光GTO100の構成に類似であり、SiC-IGBT21の矢印21Aで示す放射光が受光素子22の受光部に入射するようになされている。受光素子22のカソードと電源13の負極との間に、直流電源103が、その正極がカソードに接続されるように接続されている。SiC-IGBT21のゲートには、SiC-IGBT21の通電を制御する駆動回路23の出力端23Aが接続されている。駆動回路23の入力端24には、SiC-IGBT21を外部の装置から制御する制御信号が入力される。受光素子22のアノードは判定制御回路7の抵抗12を経て入力端10に接続されている。判定制御回路7の回路構成は図1のものと同一であるので同じ動作をする。判定制御回路7の出力端7Aは駆動回路23の入力端23Bに接続されている。光IGBT101、駆動回路23、判定制御回路7でパワー半導体素子回路を構成している。

【0024】負荷14の変動等によりSiC-IGBT21を流れる電流が増加すると、受光素子22を流れる矢印22Cで示す光電流が増加し、判定制御回路7の入力端10の電圧が増加する。入力端10の電圧が基準電源9の電圧より高くなると、コンパレータ8の出力端7Aがハイレベルとなる。その結果駆動回路23は、出力端23Aのレベルを低下させてSiC-IGBT21を流れる電流を減らすように制御する。負荷14を流れる電流が所定値より減少すると、前記と逆の動作をしてSiC-IGBT21を流れる電流を増加させる。これによって負荷14を流れる電流をほぼ一定の範囲に保つことができる。また負荷14に短絡事故等の異常が発生し大電流が流れたときは、SiC-IGBT21の電流を大幅に減らすかSiC-IGBT21をオフにして事故による損傷を防止する。本実施例のSiC-IGBT21の詳細な構成は図示を省略するが、p型バッファ半導体層にアルミニウム原子を $1.6 \times 10^{17} \text{ atom/cm}^3$ 、窒素原子を $6 \times 10^{16} \text{ atom/cm}^3$ の濃度でドーピングしている。これにより、例えば 100 A/cm^2 の電流密度で通電したとき、オン電圧は4.6Vと比較的低い値であった。この通電状態での放射光の強さは約8mWであり、波長は約470nmであった。

【0025】本実施例の具体例では、IGBT21として、耐電圧6kV、電流容量100AのSiC-pチャ

ネルIGBTを用い、受光素子22としてシリコンホトダイオードを用いる。通常の使用状態では、駆動回路23の入力端子24に駆動信号を入力する。これによりIGBT21のゲートに負電圧が印加され、IGBT21はオンになる。IGBT21をオフにするときは、前記駆動信号のレベルを零にするか、場合によっては逆極性の駆動信号を印加する。これによりIGBT21をオフにして負荷14を流れる電流を遮断することができる。前記具体例では、負荷14に短絡事故が発生して電流が例えば800Aにまで増加したとしても、受光素子22を流れる電流は90mA程度である。直流電源103の電圧が10Vとすれば、受光素子22の電力損失は0.9W程度と極めて少なく、IGBT21と同じパッケージ内に収納しても問題はない。

【0026】負荷14における短絡事故等により電流が急増してから、受光素子22が電流の急増を検出するまでの検出応答時間は0.1マイクロ秒以下である。受光素子22の検出から判定制御回路7及び駆動回路23の動作によりIGBT21がオフになるまでの時間は約1マイクロ秒であり極めて短時間である。発明者は、IGBT21の通電電流が100Aを超えたときIGBT21がオフとなるように、判定制御回路7の基準電源9の電圧を設定して負荷14で短絡を発生させる実験を行った。その結果、短絡が発生して電流が約50%増加して約150Aになった時点で制御が働きIGBT21はオフとなった。この実験結果から短絡電流を大幅に抑制することができることが判った。短絡電流が大きくなりな

【0027】《第3実施例》図6は第3実施例の9kVのパワー半導体素子回路40の回路図である。図において、GTO41のアノード電極49Aは、負荷14と判定制御回路48の一方の入力端子に接続され、カソード電極49Bは電源13の負極に接続されている。直流電源13にGTO41を経て負荷14が接続されている。本実施例に用いるGTO41は、発光性ワイドギャップ半導体材料であるSiCを用いたゲートターンオフサイリスタ(GTO)である。GTO41は図7の断面図に示すように、n型基板を用いn型のベース領域にゲートを設けたアノードゲート構造のSiC-GTOである。図7において、片面にカソード電極49Bを有する厚さ約250 μm のn型SiC基板36の他方の面に、厚さ約95 μm のp型層37を形成している。p型層37の上に再結合センターを有する厚さ約3 μm のn型層38を形成している。n型層38の中央部に厚さ約2 μm のp型層を形成し、その上にアノード電極49Aを設けている。n型層38の両端部にゲート電極49Cを設けている。

【0028】このSiC-GTOは、ベース領域である

n型層38にアルミニウム原子を $8 \times 10^{18} \text{ atom/cm}^3$ 及び窒素原子を $2.8 \times 10^{17} \text{ atom/cm}^3$ の濃度でドーピングしている。 100 A/cm^2 の電流密度で通電したときのオン電圧は4.1Vと比較的低い値であった。またこの通電状態での放射光の強さは13mWであり、放射光の波長は約470nmであった。本実施例では、GTO41の発光部に光ファイバ43の一方の端部を配置し、光ファイバの他方の端部にフォトダイオード等の受光素子42が配置されている。これにより、GTO41の放射光は光ファイバ43を通して受光素子42に入射する。GTO41と受光素子42の間が光ファイバ43によって電気的に隔離されているので、電源13、負荷14及びGTO41を含む回路が高電圧であっても、受光素子42及び判定制御回路48は前記高電圧の影響を少なくできる。又受光素子42をGTO41より離して設けることができるので装置製作にあたり自由度が大きくなる。外部の装置からGTO41をオンにするときは、ターンオン回路44の入力端子45に正のパルス電圧を印加し、GTO41をオフにするときは、同様にターンオフ回路46の入力端子47に正のパルスを印加する。GTO41を流れる電流が増加し、放射光の強さが増加すると、光ファイバ43を経て受光素子42に入射する入射光の強さも増加する。入射光の強さに実質的に比例する受光素子42の検出電流は、判定制御回路48に印加され基準電源9の出力電流と比較される。受光素子42の入射光の強さが増加して、受光素子42を流れる電流が所定電流値を超えると、判定制御回路48の出力端48Aの出力信号がターンオフ回路46に印加されGTO41をオフにする。基準電源9の出力電流は任意に変えることができ、この出力電流を加減することにより前記の所定電流値を所望の値に設定することができる。これにより、GTO41の電流を制御することができる。本実施例は電源13の電圧が9kV以上、負荷14を流れる電流が200A以上のパワー半導体回路により適している。またアノードゲート構造のGTOサイリスタはSiCのn型基板を用いているのでSiCのp型基板を用いる第1実施例のものに比べて、オン抵抗が5分の1以下になる。従って通電時のGTO41の電力損失は非常に少ない。GTO41のヒートシンクも小型のものでよく、小型、軽量のパワー半導体素子回路が実現できる。

【0029】負荷14における短絡事故等により電流が急増してから、受光素子42が電流の急増を検出するまでの検出応答時間は0.1マイクロ秒以下である。受光素子42の検出から判定制御回路7及び駆動回路23の動作によりGTO41がオフになるまでの時間は2～3マイクロ秒であり極めて短時間である。発明者は、GTO41の通電電流が400Aを超えたときGTO41がオフとなるように、判定制御回路7の基準電源9の電圧を設定して負荷14で短絡を発生させる実験を行った。

その結果、短絡が発生して電流が約40%増加して約560Aになった時点で制御が働きGTO41はオフとなった。この実験結果から短絡電流を大幅に抑制することができることが判った。短絡電流が大きくならないのでパワー半導体素子回路の各構成部品は電力容量の小さいものでよく、パワー半導体素子回路の小型化、軽量化、高速・低損失化が実現できる。なお、n型ベース層において光放射窓に対向する部分(図7の38A)のみアルミニウムと窒素をドーピングし、それ以外は窒素のみをドーピングすることにより放射光強度を確保しつつ、オン抵抗を更に低減する上で効果があった。

【0030】《第4実施例》図8は、本発明のパワー半導体素子回路を用いたインバータ装置のブロック図である。本実施例ではインバータ装置の制御回路の一部に例えば前記第3実施例のパワー半導体素子回路40を用いている。パワー半導体素子回路40の代わりに、前記第1又は第2実施例のパワー半導体素子回路を用いてもよい。図8において、例えば、直流電源13の正極側に接続された制御回路は、前記第3実施例のパワー半導体素子回路40であり、それぞれのGTO41には既知のPWM制御回路を含む制御回路74やフライホイールダイオード41Aを接続している。直流電源13の電圧があまり高くないときは、GTO41とシリコンホトダイオード42との間の光の伝達に光ファイバ43を用いず両者を近づけて配置して、GTO41の光を直接ホトダイオード42に入射してもよい。直流電源13の負極側の半導体制御素子には、発光性ではないアノードゲートGTO72を用いている。アノードゲートGTO72の代わりに正極側と同じパワー半導体素子回路40を用いてもよいが、発光性のGTO41はアノードゲートGTO72よりオン電圧が大きいためその分電力損失が大きくなる点と、GTO41の方がコストが高い点で不利になる。制御装置73はインバータのスイッチング素子の既知のPWM制御回路等と同様のものでよい。本実施例によればGTO41を流れる通電電流に実質的に比例する放射光をホトダイオード42で受けて前記通電電流を検出し、検出した電流を基準電源9の電流に重畳して判定制御回路48に印加する。これにより、PWM制御回路を介してGTO41の通電パルス幅を制御し、GTO41の通電電流を制御することができ、小型・軽量かつ低損失のインバータ装置を得ることができる。また、ホトダイオードの検出電流を用いて、通電パルスの幅だけでなく通電パルスの高さも制御することにより、供給電流を増減できる小型・軽量・低損失のインバータ装置を得ることもできる。

【0031】以上、本発明のパワー半導体素子回路の4つの実施例について説明したが、本発明はさらに多くの適用範囲あるいは派生構造をカバーするものである。例えばワイドギャップ半導体材料を用いたGTO-サイリスタ及びIGBTは、エミッタスイッチサイリスタや静

電誘導サイリスタ等の他のワイドギャップ半導体バイポーラ制御素子でもよく、更にSi基板の上に積層された複数のワイドギャップ半導体層で形成されたバイポーラ制御素子でもよい。また前記GTO-サイリスタやIGBTは、Siやワイドギャップ半導体材料で形成されたMOSFET等のユニポーラ素子と、ワイドギャップ半導体材料で形成されたバイポーラ制御素子を組み合わせたハイブリッド素子でもよい。例えばワイドギャップ半導体材料を用いたバイポーラトランジスタのエミッタとコレクタ間に、Si-MOSFETを接続したハイブリッド構成の素子等でもよい。

【0032】ワイドギャップ半導体GTOサイリスタは、ワイドギャップ半導体材料の窒化ガリウム(GaN)を用いて形成してもよい。窒化ガリウムのGTOサイリスタ(GaN-GTO)は、実施例3の図7に示すようなアノードゲート構造にするのが望ましく、n型及びp型の各半導体層の厚さや不純物濃度も図7のものとほぼ同じにすればよい。GaN-GTOでは、p型不純物としては亜鉛(Zn)、n型不純物としてはシリコン(Si)が適している。n型ベース(図7のn型層38)に $2.8 \times 10^{17} \text{ atom/cm}^3$ の濃度のSi原子をドーピングすると、Si原子による再結合センターが形成され、発光性GaN-GTOが得られる。放射光の波長は約470nmであり、同じ通電電流のときの放射光の強さはSiC-GTOより強い。GaN-GTOの耐電圧は1200V(電流75A)であり、SiC-GTOよりは低い。図6のパワー半導体素子回路40において、SiCのGTO41の代わりにGaN-GTOを用いることにより、第3実施例と同じような効果を有するパワー半導体素子回路2を得ることができる。受光素子は、Siホトダイオード以外の、ホトトランジスタやCdS光導電素子等でもよく、SiCホトダイオード等のワイドギャップ半導体材料を用いた受光素子でもよい。

【0033】

【発明の効果】以上の各実施例で詳細に説明したように、本発明のパワー半導体素子回路は、通電電流に応じた光を発するパワー半導体制御素子の放射光を受光素子で検出することによって電流を検出し、その検出出力によりパワー半導体制御素子電流を制御する。これにより、パワー半導体制御素子回路の小型化、軽量化、高速化及び低損失化ができる。

【図面の簡単な説明】

【図1】本発明の第1実施例のパワー半導体素子回路の回路図

【図2】第1実施例のパワー半導体素子回路に用いる、パワー半導体素子と受光素子を含むパッケージの断面図

【図3】第1実施例のGTO1の平面図

【図4】図3のGTO1のIV-IV断面図

【図5】本発明の第2実施例のパワー半導体素子回路の回路図

【図6】本発明の第3実施例のパワー半導体素子回路の回路図

【図7】第3実施例のSiC-GTOの断面

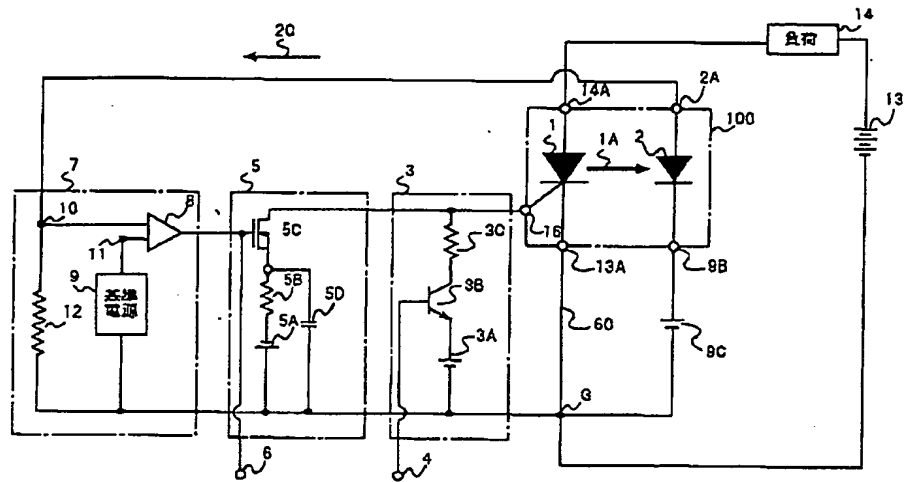
【図8】本発明のインバータ装設の回路図

【図9】(a)は第1の従来例のパワー半導体素子回路の回路図

(b)は第2の従来例のパワー半導体素子回路の回路図
【符号の説明】

- | | |
|-------|------------------------|
| 1 | 半導体制御素子 |
| 2 | 受光素子 |
| 2A | アノード電極 |
| 3 | ターンオン回路 |
| 5 | ターンオフ回路 |
| 7 | 判定回路 |
| 8 | コンパレータ |
| 9 | 基準電源 |
| 9A | カソード |
| 9B | カソード電極 |
| 13 | 直流電源 |
| 13A | カソード |
| 14 | 負荷 |
| 14A | アノード電極 |
| 16 | ゲート電極 |
| 19 | 光放射窓 |
| 21 | 絶縁ゲートバイポーラトランジスタ(IGBT) |
| 22 | 受光素子 |
| 23 | 駆動回路 |
| 31 | カソード電極 |
| 32、34 | n型層 |
| 33、35 | p型層 |
| 37 | ターミネーション領域 |
| 41 | 光GTO |
| 42 | 受光素子 |
| 43 | 光ファイバ |
| 44 | ターンオン回路 |
| 46 | ターンオフ回路 |
| 48 | 判定回路 |
| 72 | アノードゲートGTO |
| 73 | 制御装置 |
| 100 | 光GTO素子 |
| 101 | 光IGBT |

【図1】



【図2】

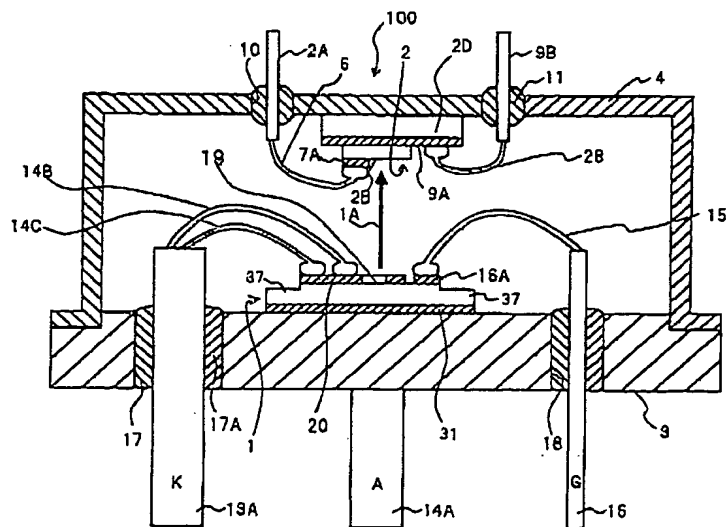
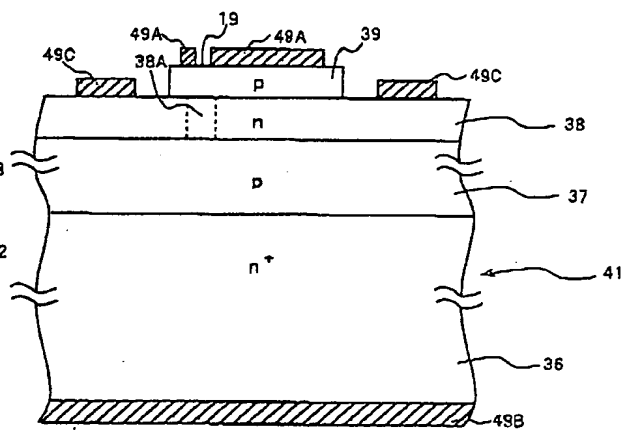
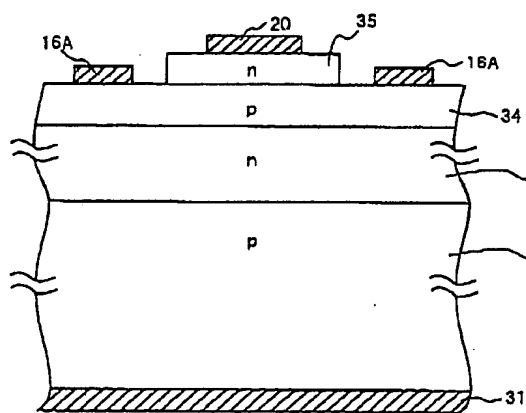
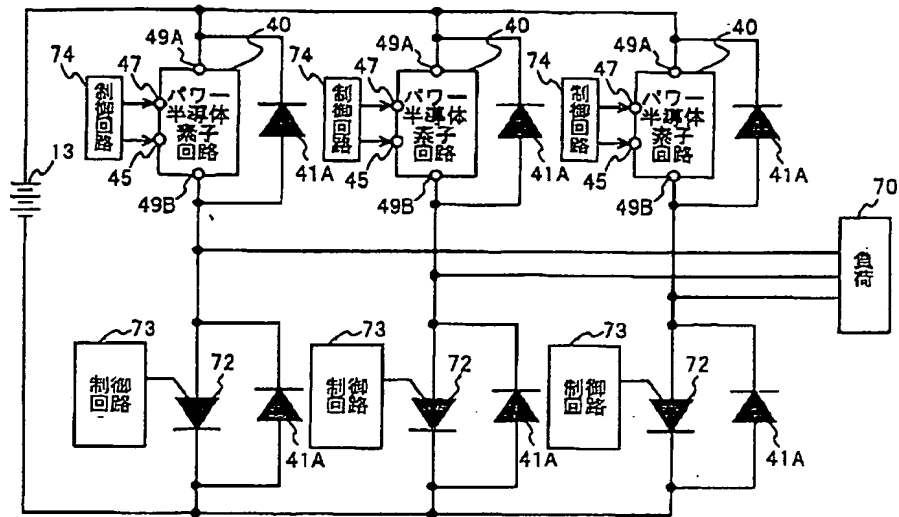


FIG. 1 is a schematic diagram of a cross-section of a semiconductor device. The device features a central square region (19) surrounded by a rectangular frame (20). The frame is composed of several horizontal and vertical segments. A dashed line II-II passes through the center of the device. A vertical line IV-IV passes through the center of the central region. The device is labeled with various reference numerals: 16A, 19, 20, 34, and 37.

【圖 7】

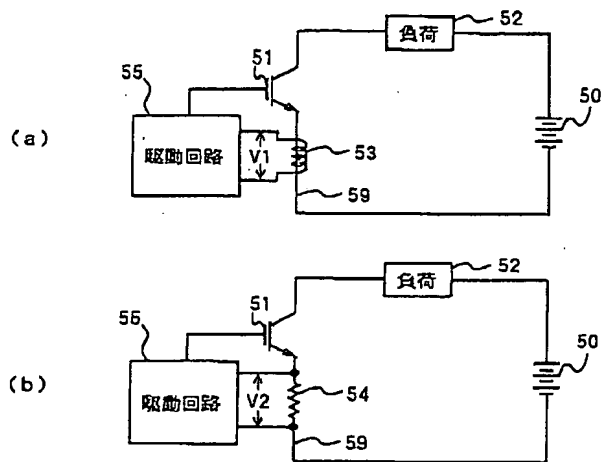


【図8】



【図9】

IGBT



フロントページの続き

(51) Int. Cl.⁷
H01L 29/78

識別記号
657

FI
H01L 29/74

テ-マ-ド (参考)
E